

27.11
BUNDESREPUBLIK DEUTSCHLAND

PCT/DE 99/02077

ERJ

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)



REC'D 13 OCT 1999	
WIPO	PCT

DE 99 / 2077

Bescheinigung

09 / 744177

Die Siemens Aktiengesellschaft in München/Deutschland hat eine Patentanmeldung unter der Bezeichnung

"Schaltungsanordnung und Verfahren zum Empfangen und Senden von Daten"

am 31. Juli 1998 beim Deutschen Patent- und Markenamt eingereicht.

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

Die Anmeldung hat im Deutschen Patent- und Markenamt vorläufig die Symbole H 04 L und H 04 J der Internationalen Patentklassifikation erhalten.

München, den 27. August 1999

Deutsches Patent- und Markenamt

Der Präsident

Im Auftrag

Aktenzeichen: 198 34 630.1



Dzierzon

THIS PAGE BLANK (USPTO)



Beschreibung

Schaltungsanordnung und Verfahren zum Empfangen und Senden von Daten

5

10

15

20

25

30

35

In Kommunikationssystemen, insbesondere Vermittlungsanlagen werden High-Level-Data-Link-Controller zur Datenübertragung bei Netzübergangsstellen verwendet. Diese HDLC-Controller sind an Netzübergangsstellen wie beispielsweise zwischen einem Netz mit einer synchronen Datenübertragung und einem Netz mit einer asynchronen Datenübertragung angeordnet. Die Wahl einer Datenübertragungsrate oder einer Zeitschlitzbreite wird bei einer rahmenorientierten Datenübertragung durch die Übertragungsgeschwindigkeit der Netzübergangseinheiten vorgegeben. Eine Zeitschlitzbreite wurde bisher mit Hilfe von markierten Feldern voreingestellt. Dies bringt jedoch den Nachteil mit sich, daß die Datenübertragung nur in den dafür markierten Zeitschlitzten durchgeführt werden kann.

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung und ein Verfahren anzugeben, daß den oben aufgeführten Nachteil beseitigt.

Die Lösung der Aufgabe ergibt sich aus den Merkmalen der Patentansprüche 1,2 und 6,7.

Die Erfindung bringt den Vorteil mit sich, daß alle Zeitschlitzte eines Übertragungsrahmens für die Übertragung von Daten genützt werden können.

Die Erfindung bringt den Vorteil mit sich, daß durch Veränderung von Konfigurationsparametern die Kanalzahl für einen HDLC-Controller verändert werden kann.

Weitere Besonderheiten sind in den Unteransprüchen angegeben.

Die Schaltungsanordnung und das Verfahren werden aus der nachfolgenden näheren Erläuterung zu Ausführungsbeispielen anhand von Zeichnungen ersichtlich.

5 Es zeigen:

- Figur 1 eine schematische Darstellung einer Übertragungs-
strecke,
- Figur 2 einen Aufbau eines Übertragungsrahmens,
- 10 Figur 3 einen schematischen Aufbau eines HDLC-Control-
lers,
- Figur 4 ein Blockschaltbild einer HDLC-Empfangseinheit,
- Figur 5 ein Blockschaltbild einer HDLC-Sendeeinheit,
- Figur 6 eine detailliertere Darstellung einer HDLC-Emp-
15 fangseinheit und
- Figur 7 eine detailliertere Darstellung einer HDLC-Sende-
einheit.

In Figur 1 ist eine Netzkonfiguration einer Datenübertra-
20 gungsstrecke dargestellt. Diese Netzkonfiguration besteht aus
einem Datennetz AD zur asynchronen Datenübertragung und min-
destens einem Datennetz SD zur synchronen Datenübertragung.
Das Datennetz AD zur asynchronen Datenübertragung kann bei-
spielsweise ein ATM-Netz, ein Integer-Netz, ein Datex-P-Netz
25 oder ein Ether-Netz sein. Zur synchronen Datenübertragung in
den Datennetzen SD können beispielsweise PCM-Systeme oder ein
synchroner Transfermode STM verwendet werden. An den Schnitt-
stellen zwischen dem synchron und dem asynchron arbeitenden
Datennetz AD bzw. SD sind jeweils High-Level-Data-Link Con-
30 troller HDLC angeordnet. An einem Netzabschlußpunkt NT des
synchron arbeitenden Datennetzes SD können eine Vielzahl von
Datenendgeräten TL angeschlossen werden. Einem Datenendgerät
TL wird zur Datenübertragung zwischen dem Netzabschlußpunkt
NT und der Schnittstelle zwischen den Datennetzen AD, SD ein
35 oder mehrere Zeitschlitzte bzw. Zeitkanäle zugeteilt.

In Figur 2 ist ein Übertragungsrahmen eines PCM-Übertragungssystems wie er in dem Datennetz SD mit synchroner Datenübertragung verwendet wird wiedergegeben. Dieser PCM-Übertragungsrahmen ist beispielsweise 16 Bit lang und in maximal 16 Zeitschlitzze bzw. Kanäle unterteilbar. Der kleinst mögliche Zeitschlitz kann ein Bit, der größte Zeitschlitz kann 16 Bit umfassen. Die Bits des Übertragungsrahmens werden von 0 bis 15 durchnummeriert. Der erste Zeitschlitz TS mit der Zeitschlitzbreite TSB von 3 Bit weist die zu einem Datenübertragungskanal zusammengefaßten Zeitschlitzze TS bzw. Kanäle 0, 1 und 2 auf. Die Bezeichnung des jeweiligen Zeitschlitzes TS erfolgt durch die Nummer des ersten Kanals zu Beginn des Zeitschlitzes TS. Der erste Zeitschlitz TS bekommt die Nummer des ersten Bits zugewiesen. Im darauffolgenden zweiten Zeitschlitz TS, der die Kanäle 3, 4, 5 und 6 umfaßt, hat der zweite Zeitschlitz TS die Zeitschlitznummer TS entsprechend der Nummer des ersten Bits des zweiten Zeitschlitzes TS. Der dritte und vierte Zeitschlitz wird mit TS7 und TS8 bezeichnet.

In Figur 3 ist der Aufbau eines High-Level-Data-Link Controllers HDLC wiedergegeben. Dieser HDLC-Controller weist im Wesentlichen eine HDLC-Empfängereinheit HDLC-E, eine HDLC-Sendereinheit HDLC-S, einen HDLC-Prozessor HDLC-P sowie einen Framebuffer FB auf. Die HDLC-Empfängereinheit HDLC-E sowie die HDLC-Sendereinheit HDLC-S sind jeweils mit Leitungen des synchron arbeitenden Datennetzes SD verbunden. Der Framebuffer FB ist mit einem Asynchron-Controller AC des asynchron betriebenen Datennetzes AD verbunden.

Der dargestellte HDLC-Controller wird im Wesentlichen in drei Verarbeitungseinheiten untergliedert. Jede der Verarbeitungseinheiten ist unter anderem so aufgebaut, daß sie die Geschwindigkeitsanforderungen der nächsten Stufe reduziert.

In der ersten Verarbeitungseinheit WSPE, WPSS werden Daten seriell-parallel oder parallel-seriell umgesetzt, die Abar-

beitung des aktuellen Zeitschlitzes auf der Grundlage von Zustandsparametern durchgeführt und die Zustandsparameter für einen dem aktuellen Zeitschlitz nachfolgenden Zeitschlitz geladen. Die Zustandsparameter sind beispielsweise die Zeitschlitzlänge, Zustand, Bitzähler, Schieberegisterinhalt u.s.w.. Am Ende eines aktuellen Zeitschlitzes werden die Zustandsparameter des aktuellen Zeitschlitzes in einer ersten Speichereinheit zwischengespeichert und die bis dahin zwischengespeicherte Zustandsparameter des kommenden Zeitschlitzes dem HDLC-Prozessor HDLC-P zugeleitet. Während der Abarbeitung eines Zeitschlitzes werden an einem Datenport die kompletten Datenworte ausgegeben oder eingelesen.

Der HDLC-Prozessor HDLC-P kann empfangs- und sendeseitig in zwei Hälften aufgeteilt werden. Jede Hälfte umfaßt dabei eine zweite Verarbeitungseinheit BV, BVS und eine dritte Verarbeitungseinheit FV, FVS.

In der zweiten Verarbeitungseinheit BV, BVS eine Byteverarbeitungseinheit, werden zu Zeitschlitzten dazugehörige Zustandsparameter in einer zweiten Speichereinheit ST, STS verwaltet und die Datenworte aus oder in einem Teil der ersten Speichereinheit SE, SS dem Data-Hold DH, DHS Register ausgelesen oder nachgeladen (siehe Fig. 6, 7). Desweiteren erfolgt eine Zuweisung der Zustandsparameter in die erste Speichereinheit SE, SS. Die Daten werden über getrennte Datenwege an eine dritte Verarbeitungseinheit FV, FVS weitergeleitet oder von dieser empfangen.

In der dritten Verarbeitungseinheit FV, FVS einer Frameverarbeitungseinheit (siehe Fig. 6, 7) werden die zu einem Datenrahmen gehörende Datenworte zusammengefügt. In der dritten Verarbeitungseinheit FV, FVS wird zusätzlich noch eine Adreßerkennung, Blocksicherung und weitere Protokollfunktionen durchgeführt.

In Figur 4 ist ein Blockschaltbild der HDLC-Empfängereinheit HDLC-E dargestellt. Die wesentlichen Einheiten sind ein seriell-parallel Wandler S/P, ein HDLC-Prozessor HDLC-P sowie die entweder der ersten Verarbeitungseinheit WSPE oder dem HDLC-Prozessor HDLC-P zuzuordnenden Data-Hold Register DH sowie ein State-Parameter Register SP. Die auf einem seriellen Datenbus DB des synchronen Datennetzes SD transportierten Daten werden seriell in einem seriell-parallel Wandler S/P, das auch als Shift-Register bezeichnet werden kann, eingelesen. Bei Erreichen der voreinstellbaren Zeitschlitzbreite werden die Daten der Empfängereinheit HDLC-E und der Inhalt des seriell-parallel Wandlers S/P in das für die State-Parameter vorgesehenen Register SP umgeladen (siehe Fig. 6). Wenn die Daten innerhalb der Zeitschlitzze komplett sind, werden diese in das Data-Hold Register DH übergeben. Gleichzeitig werden die Daten eines nachfolgenden Zeitschlitzes in das Register SP eingeladen und die Empfangseinheit HDLC-E mit den zwischengespeicherten Daten für den nachfolgenden Zeitschlitz des vorangegangenen PCM-Rahmens voreingestellt.

In Figur 5 ist ein Blockschaltbild der HDLC-Sendeeinheit HDLC-S dargestellt. Mit dieser werden die zu versendenden Daten über den parallel-seriell Wandler P/S in einen Datenbus DB eingefügt. Immer nachdem ein Datenwort auf dem Datenbus DB ausgegeben wurde, wird aus dem Data-Hold-Register DHS ein neues Datenwort in den parallel-seriell Wandlers P/S geladen. Zu Beginn eines neuen Zeitschlitzes werden alle Daten und Zustände des HDLC-Prozessors HDLC-P, die in dem Data-Hold Register DHS und im State-Parameter-Register SPS zwischengespeichert waren, durch den HDLC-Prozessor HDLC-P ausgetauscht.

In Figur 6 ist die HDLC-Empfangseinheit HDLC-E detailliert dargestellt. Die wesentlichen Elemente der HDLC-Empfangseinheit HDLC-E sind dabei der seriell-parallel-Wandler S/P, das Register Data-Hold DH, ein State-Parameter-Register SP, eine Einheit zur Byteverarbeitung BV, eine Einheit zur Frameverarbeitung FV sowie ein Framebuffer FB.

Die im State-Parameter Register SP jeweils für einen Zeitschlitz zwischengespeicherten Daten werden nach dem aktuellen Zeitschlitz in einer State-Tabelle ST der Byteverarbeitungseinheit BV abgelegt. In der Byteverarbeitungseinheit BV wird
5 die State-Tabelle ST derart organisiert, daß jedes Mal bei einem Zeitschlitzwechsel die Daten eines kommenden Zeitschlitzes in das State-Parameter Register SP eingeladen werden. Die aus dem Data Hold-Register DH abgerufenen Daten werden in einer Event-Queue EQ, einem Bindeglied zwischen der
10 Byteverarbeitungseinheit BV und der Frameverarbeitungseinheit FV, eingeordnet und weiter verarbeitet.

Mit dem seriell-parallel Wandler S/P der ersten Verarbeitungseinheit (WSPE) werden die Daten aus dem Datenbus DB ausgelesen. Die Daten werden im Data-Hold Register DH abgelegt.
15 Am Ende einer über einen Zähler voreinstellbaren Länge eines Zeitschlitzes werden alle Daten und zugehörige Zustände zwischen dem seriell-parallel Wandler S/P und dem State-Parameter Register SP ausgetauscht. Im State-Parameter Register SP
20 werden die Zeitschlitzbreite, der Registerinhalt und dessen Zustand sowie weitere Parameter zwischengespeichert. In der State-Tabelle ST, sind die State-Parameter, die in das State-Parameter Register SP eingelesen wurden, zwischengespeichert. Die Größe der State-Tabelle ST entspricht der maximalen Anzahl möglicher Zeitschlitzes einer Übertragungsstrecke in dem
25 synchron arbeitenden Datennetz SD. Ein Beginn eines aktuellen Zeitschlitzes nachfolgen Zeitschlitzes wird aus den Zustandsdaten des aktuellen Zeitschlitzes errechnet. Die Event-Queue EQ, die zwischen der Byteverarbeitungseinheit BV und
30 der Frameverarbeitungseinheit FV angeordnet ist, ist so organisiert, daß eine Priorisierung entsprechend der Übertragungsgeschwindigkeit eines Zeitschlitzes oder Kanals möglich ist. In dem der Frameverarbeitungseinheit FV nachgeordneten Framebuffer FB sind unter anderem die Daten aller HDLC-Kanäle
35 abgespeichert.

In Figur 7 ist die HDLC-Sendeeinheit HDLC-S wiedergegeben. Entsprechend den in der schematischen Darstellung gezeigten Pfeilrichtung werden aus dem Framebuffer FB die in Zeitschlitzzen bzw. Kanälen zu transportierenden Daten ausgelesen.

5

Werden nun Daten aus dem Framebuffer FB bzw. aus der Frameverarbeitungseinheit FVS ausgelesen, um diese innerhalb eines bestimmten Zeitschlitzes des PCM-Rahmens anzuordnen, werden den Datenwörtern die betreffenden Zeitschlitznummern TS-Nr zugeordnet und über eine Datentabelle DTS einem Data-Hold-Register DHS zugeführt um dort zwischengespeichert zu werden.

10

Gleichzeitig mit der Zwischenspeicherung der in die Zeitschlitzze der PCM-Rahmen einzufügenden Datenwörter werden aus einer in der Byteverarbeitungseinheit BVS angeordneten State-Tabelle einer zweiten Speichereinheit STS die für den HDLC-Prozessor HDLC-P notwendigen Initialisierungsdaten STS durch eine Zuordnungseinheit ZU in der zweiten Speichereinheit STS abgespeichert. Die im Data-Hold-Register DHS zwischengespeicherten Datenwörter werden aufgrund der Initialisierung des High-Level-Data-Link-Control-Prozessors HDLC-P bestimmungsgemäß in die dafür vorgesehenen Zeitschlitzze eingefügt. Am Ende eines Zeitschlitzes wird der noch nicht verarbeitete Anteil des Datenwortes zusammen mit den augenblicklichen Zustands-

15

20

25

State-Parameter-Register SPS in die zweite Speichereinheit STS umgeladen. Während des Umladens gelangen gleichzeitig für den nachfolgenden Zeitschlitz $T_{sn}+x$ des PCM-Rahmens die Zustandsparameter in das State-Parameter-Registers SPS und die Datenwörter in das Data-Hold Register DHS. Entsprechend den Voreinstellungen des High-Level-Data-Link-Control-Prozessors HDLC-P werden die im Data-Hold-Register DHS zwischengespeicherten Daten in die Zeitschlitzze des PCM-Rahmens eingefügt. Bei einem erneuten Zeitschlitzwechsel werden die Zustandsparameter des High-Level-Data-Link-Control-Prozessors HDLC-P sowie die Daten in das Data-Hold-Register DHS, bzw. die Zustandsparameter in das State-Parameter Register SPS geladen und in der State Tabelle STS zwischengespeichert. Neue für

30

35

den kommenden Zeitschlitz benötigte Daten und Einstellungen für den High-Level-Data-Link-Control-Prozessor HDLC-P werden durch die Zuordnungseinheit ZU bestimmt.

- 5 In der Frameverarbeitungseinheit FVS werden die Daten für die Data-Tabelle DTS mit Hilfe der Event-Queue EQS weitergeleitet. In der Data-Tabelle DTS werden die Daten aller möglichen Zeitschlitz in einem Übertragungsrahmen für das Data-Hold Register DHS zwischengespeichert. Dadurch ist es möglich,
- 10 eine Frameverarbeitung auch außerhalb des Zeitschlitzes durchzuführen. Mit Hilfe der Event-Queue EQS ist eine Datenverarbeitung entsprechend der jeweiligen Übertragungsgeschwindigkeit möglich. In der Byteverarbeitungseinheit BVS werden die Zeitschlitznummern TS-Nummer des letzten, aktuellen und folgenden Zeitschlitzes aus der Position des Zeitschlitzes und der Zeitschlitzlänge im Übertragungsrahmen errechnet. In der State-Tabelle STS sind die State-Parameter SPS aller zu bearbeitenden Zeitschlitzes gespeichert. Die Größe der State-Tabelle STS entspricht immer der maximalen
- 15 möglichen Anzahl von Zeitschlitzes. Die State-Parameter, die in dem State-Parameter Register SPS eingetragen sind, enthalten folgende Information: Zeitschlitzbreite, Bitnummer im Datenwort sowie Schieberegisterinhalt und weitere Zustandsinformationen.

25

Patentansprüche

1. Schaltungsanordnung zum Empfangen von Daten, die mindestens einem Zeitschlitz (TS_1 , TS_n , TS_{n+x} , ...) innerhalb eines Übertragungsrahmens zugeordnet sind,

mit

- einer ersten Verarbeitungseinheit (WSPE) zum Auslesen der Daten aus einem aktuellen Zeitschlitz (TS_n) und Bereitstellen der aktuellen Zustandsparameter des aktuellen Zeitschlitzes (TS_n), zum Zwischenspeichern der Zustandsparameter eines dem aktuellen Zeitschlitz (TS_n) folgenden Zeitschlitzes (TS_{n+x}) und zum Zwischenspeichern der ausgelesenen Daten eines Zeitschlitzes (TS_n) in einer ersten Speichereinheit (SE),

- einer zweiten Verarbeitungseinheit (BV) mit einer Zuordnungseinheit (ZU) zur Verwaltung einer zweiten Speichereinheit (ST) in der aus der ersten Speichereinheit (SE) bei einem Zeitschlitzwechsel ausgelesenen Zustandsparameter abgespeichert werden, zur Bereitstellung der in der ersten Speichereinheit (SE) zwischenzuspeichernden Zustandsparameter, und zur Zuweisung der in der ersten Speichereinheit (SE) zwischengespeicherten Daten eines aktuellen Zeitschlitzes (TS_n) in eine dritte Speichereinheit (EQ), und

- einer dritten Verarbeitungseinheit (FV) zur Bildung von Datenwörtern aus den in der dritten Speichereinheit (EQ) abgelegten Daten.

2. Schaltungsanordnung zum Senden von Daten, die mindestens einem Zeitschlitz (TS_1 , TS_n , TS_{n+1}) innerhalb eines Übertragungsrahmens zugeordnet werden,

mit

- einer ersten Verarbeitungseinheit (WPSS) die eine Einheit (P/S) zum Einlesen der Daten in einen aktuellen Zeitschlitz (TS_n) in den Übertragungsrahmen und Bereitstellen der aktu-

ellen Zustandsparameter für einen aktuellen Zeitschlitz aufweist, und einer ersten Speichereinheit (SS) zum Zwischenspeichern der Zustandsparameter eines dem aktuellen Zeitschlitz (TSn) folgenden Zeitschlitzes (TSn+x),

5

- einer zweiten Verarbeitungseinheit (BVS) mit einer Zuordnungseinheit (ZU) zur Verwaltung einer zweiten Speichereinheit (STS) in der aus der ersten Speichereinheit (SS) bei einem Zeitschlitzwechsel ausgelesenen Zustandsparameter abgespeichert werden, zur Bereitstellung der in der ersten Speichereinheit (SS) zwischenzuspeichernden Zustandsparameter, und zur Zuweisung der in einer dritten Speichereinheit (DTS) zwischengespeicherten Daten in die erste Speichereinheit (SS),

10

- einer dritten Verarbeitungseinheit (FVS) zum Zuordnen von zu Zeitschlitz (TSn, TSn+x) gehörenden Daten und deren Abspeicherung in einer dritten Speichereinheit (DTS).

15

3. Schaltungsanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die ersten Speichereinheit (SE, SS) aus einem ersten und zweiten Register (SP, DH; SPS, DHS) gebildet ist.

20

4. Schaltungsanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß in der ersten Verarbeitungseinheit (WSPE, WPSS) ein Schieberegister (S/P, P/S) zum Empfang der Daten aus einem Übertragungsrahmen (TSn) und zum Senden der Daten in einen Übertragungsrahmen vorgesehen ist.

25

5. Schaltungsanordnung nach Anspruch 1 und 2, dadurch gekennzeichnet, daß diese in einem HDLC-Controller (HDLC) zum Empfang und Senden von Daten integriert sind.

30

6. Verfahren zum Empfangen von Daten, die mindestens einem Zeitschlitz (TS_1 , TS_n , TS_{n+x}) innerhalb eines Übertragungsrahmens zugeordnet sind,

d a d u r c h g e k e n n z e i c h n e t,

5

- daß Daten aus einem aktuellen Zeitschlitz (TS_n) ausgelesen und zwischengespeichert sowie aktuelle Zustandsparameter des aktuellen Zeitschlitzes bereitgestellt werden und Zustandsparameter eines dem aktuellen Zeitschlitz (TS_n) folgenden Zeitschlitzes (TS_{n+1}) in einer ersten Speichereinheit (SE) zwischengespeichert werden,

10

- daß in einer zweiten Speichereinheit (ST) in der aus der ersten Speichereinheit (SE) bei einem Zeitschlitzwechsel ausgelesene Zustandsparameter abgespeichert und verwaltet werden,

15

- daß in der ersten Speichereinheit (SE) zwischenzuspeichernde Zustandsparameter bereitgestellt werden, und in der ersten Speichereinheit (SE) zwischenzuspeichernde Daten eines aktuellen Zeitschlitzes (TS_n) in eine dritte Speichereinheit (EQ) eingelesen werden, und

20

- daß aus den in der dritten Speichereinheit (EQ) abgelegten Daten Datenwörter gebildet werden.

25

7. Verfahren zum Senden von Daten, die mindestens einem Zeitschlitz (TS_1 , TS_n , TS_{n+x}) innerhalb eines Übertragungsrahmens zugeordnet werden,

30 mit

- daß Zustandsparameter eines aktuellen Zeitschlitzes bereitgestellt und Daten in einen aktuellen Zeitschlitz (TS_n) eingelesen werden, und Zustandsparameter eines dem aktuellen Zeitschlitz (TS_n) folgenden Zeitschlitzes (TS_{n+x}) in einer ersten Speichereinheit (SS) zwischengespeichert werden,

35

- daß in einer zweiten Speichereinheit (STS) in der aus der ersten Speichereinheit (SS) bei einem Zeitschlitzwechsel ausgelesenen Zustandsparameter abgespeichert werden, die in der ersten Speichereinheit (SS) zwischenzuspeichernden Zustandsparameter bereitgestellt werden, und die in einer
5 dritten Speichereinheit (DTS) zwischengespeicherten Daten der ersten Speichereinheit (SS) abgelegt werden,
- daß zu Zeitschlitzten (TS_n , TS_{n+x}) gehörende Daten zugeordnet und deren Abspeicherung in der dritten Speichereinheit
10 (DTS) abgespeichert werden.

Zusammenfassung

Schaltungsanordnung und Verfahren zum Empfangen und Senden
5 von Daten

Mit dieser Schaltungsanordnung und dem dazugehörigen Verfahren ist es aufgrund einer Zwischenspeicherung aller einen Zeitschlitz in einem Übertragungsrahmen zugeordneter Zustandsparameter möglich, sich auf einen aktuellen Zeitschlitz einzustellen.
10

Figur 3

THIS PAGE BLANK (USPTO)

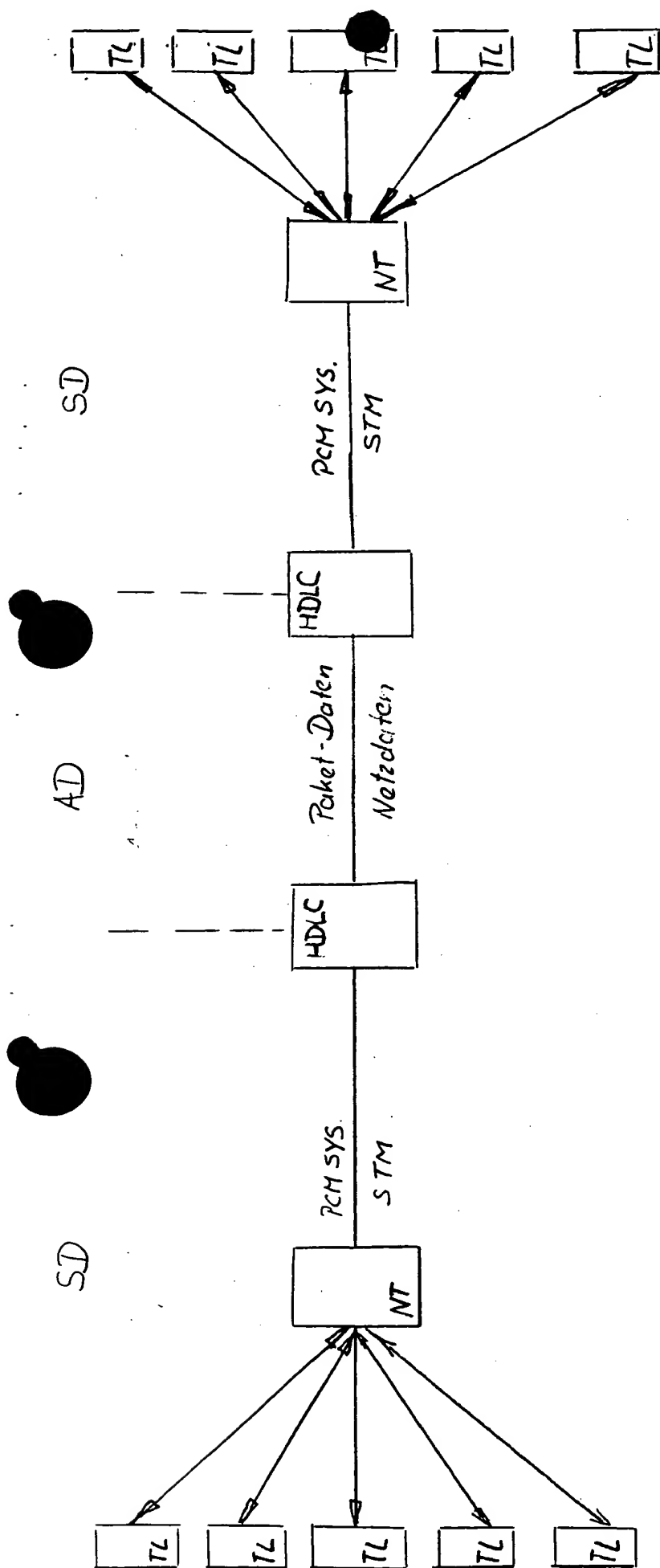


Fig. 1

THIS PAGE BLANK (USPTO)

Bit-Nr	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
TS-Nr	TS=0			TS=3			TS7		TS=8							
TSB	3			4			1		8							

Fig. 2

THIS PAGE BLANK (USPTO)

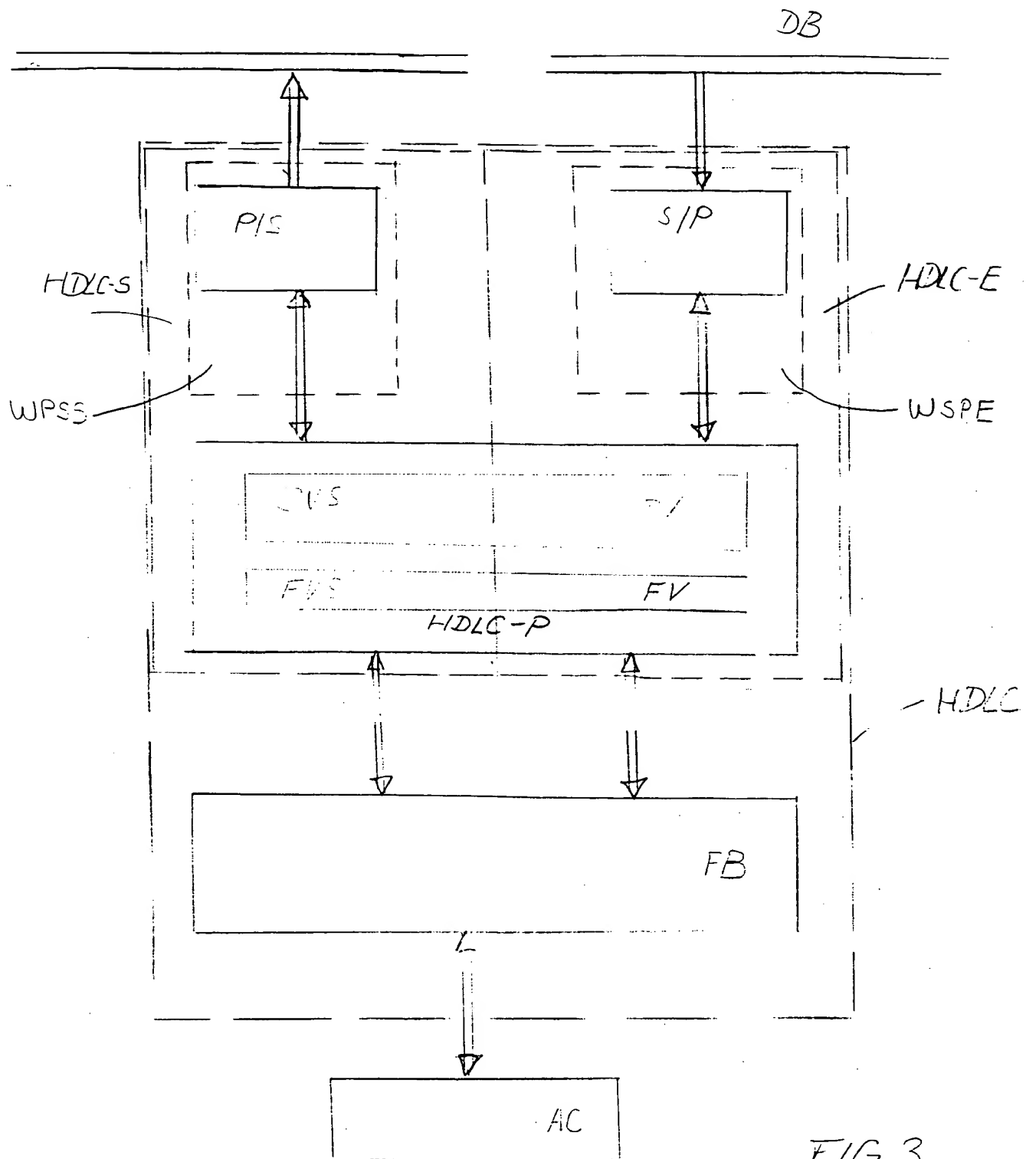


FIG. 3

THIS PAGE BLANK (USPTO)

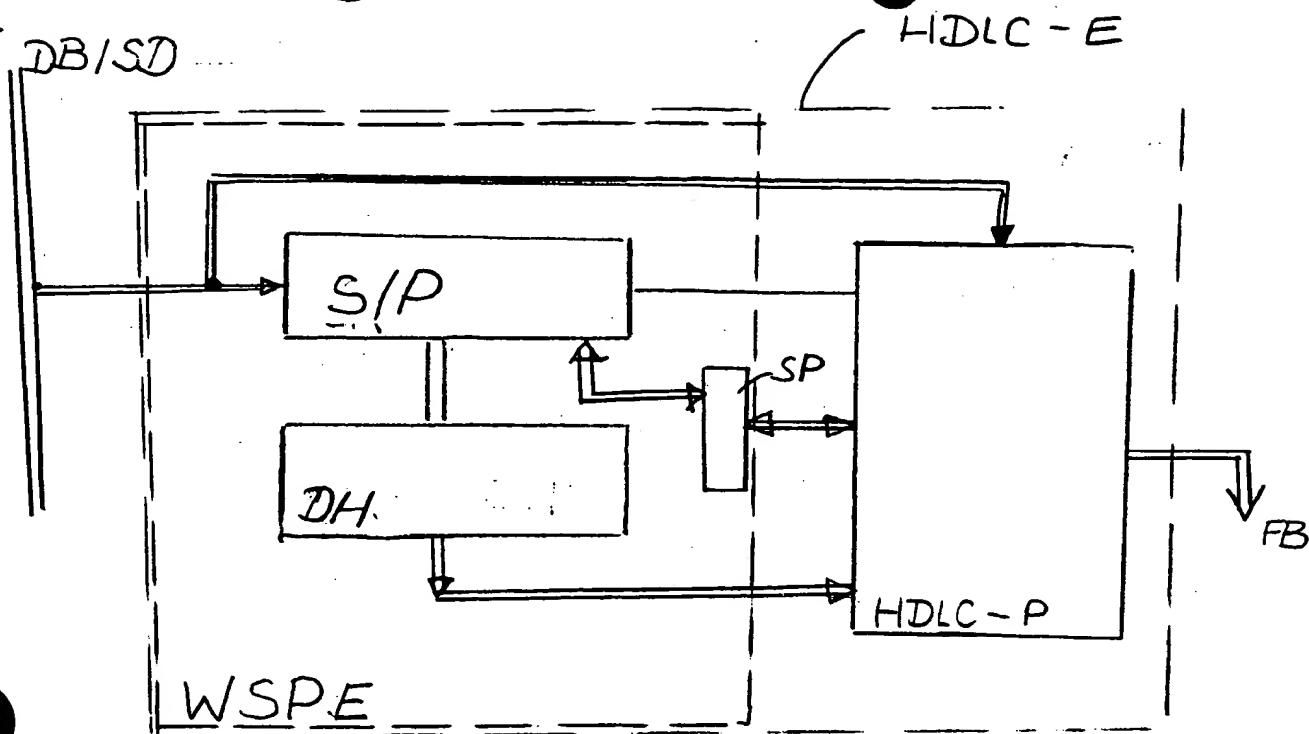


Fig. 4

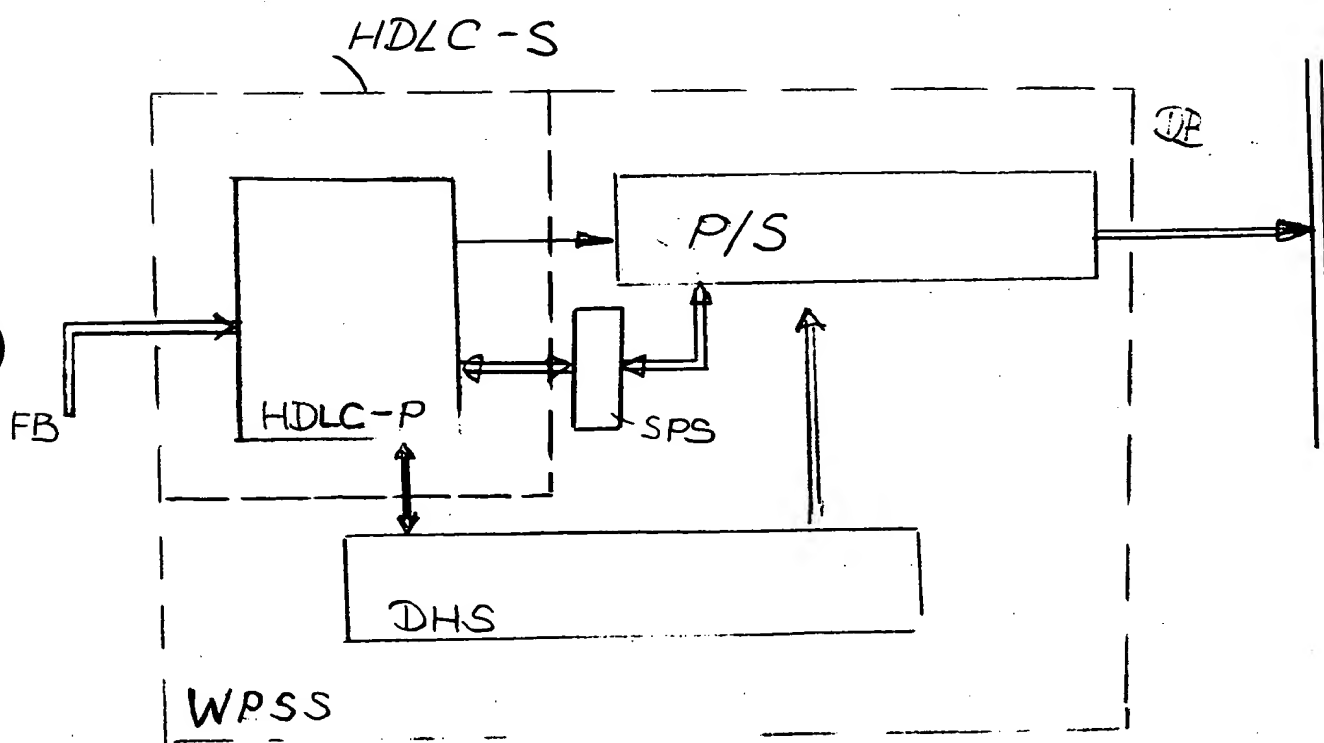
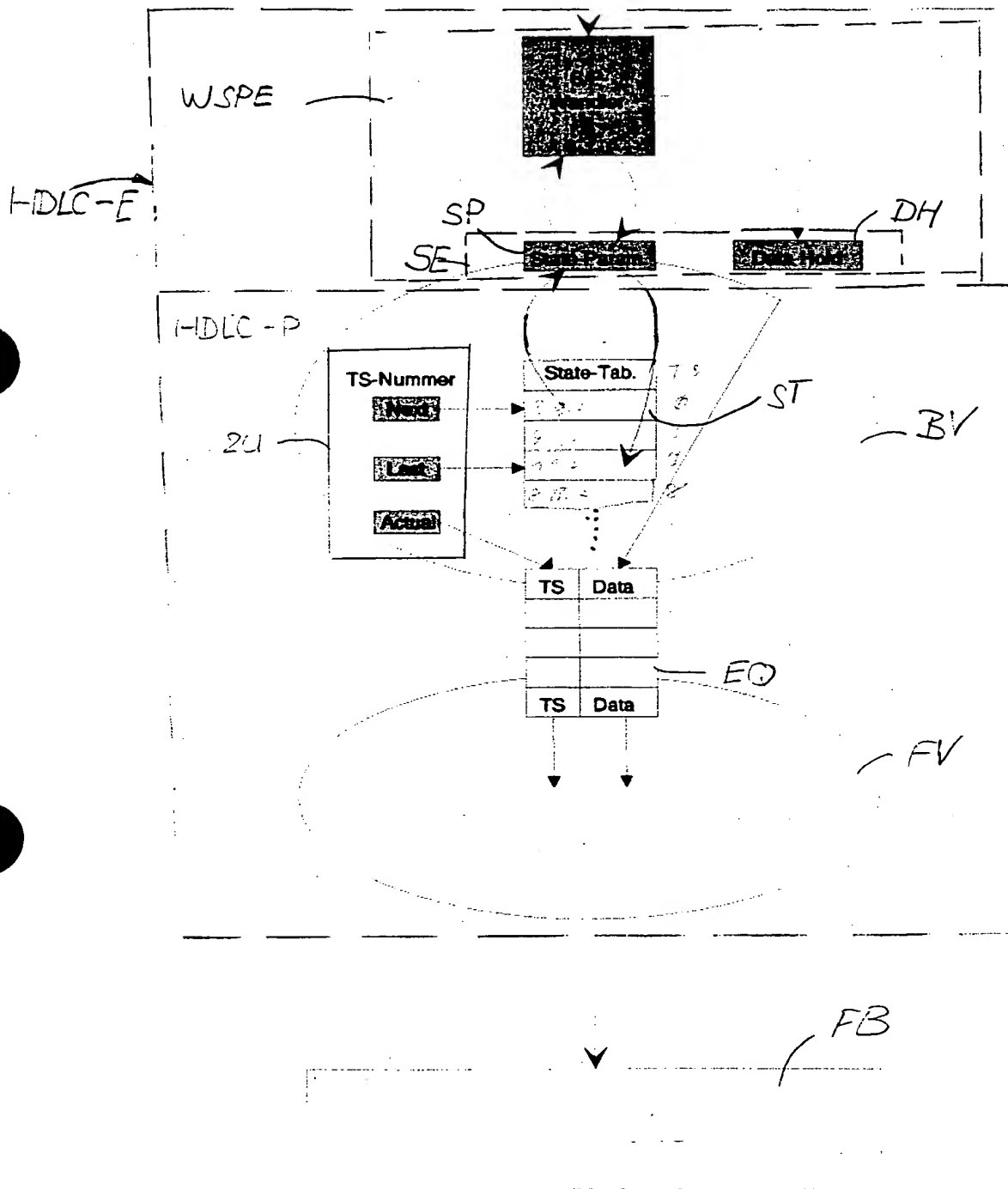


Fig. 5

THIS PAGE BLANK (USPTO)

DB



75. 6

THIS PAGE BLANK (USPTO)

HDLC- S

DP

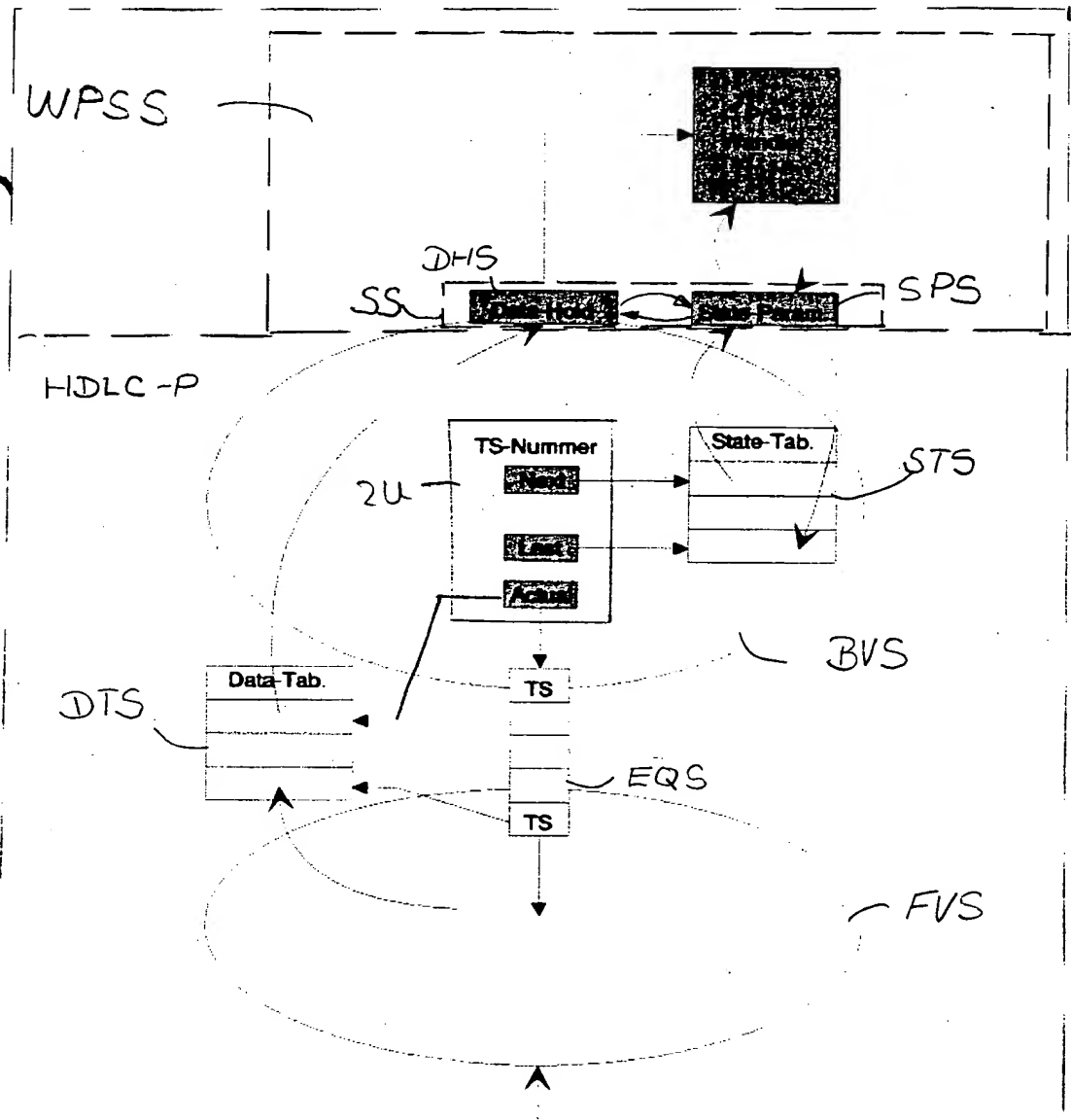


Fig. 17

THIS PAGE BLANK (USPTO)